

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月 6日

出 願 番 号

Application Number:

特願2003-029534

[ST.10/C]:

[JP2003-029534]

出 願 人

Applicant(s):

三菱電機株式会社

2003年 3月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3013371

【書類名】 特許願

【整理番号】 543238JP01

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 鈴木 敏

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 松塚 隆之

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 長明 健一郎

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治



【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧制御発振回路

【特許請求の範囲】

【請求項 1】 可変容量素子を含み、該可変容量素子の容量変化に応じて変化する可変周波数を出力する電圧制御発振回路において、

前記可変容量素子の容量は、バイポーラトランジスタにおけるエミッタ層とベース層間の P N 接合により形成される容量及びベース層とコレクタ層間の P N 接合により形成される容量を合成したものであり、

前記可変容量素子の容量は前記バイポーラトランジスタのエミッタ層とコレクタ層間に印加する電圧により制御されることを特徴とする電圧制御発振回路。

【請求項 2】 可変容量素子を含み、該可変容量素子の容量変化に応じて変化する可変周波数を出力する電圧制御発振回路において、

前記可変容量素子の容量は、バイポーラトランジスタにおけるコレクタ層とベース層間の P N 接合により形成される容量であり、かつ、前記バイポーラトランジスタのエミッタ層とコレクタ層間に印加される電圧により制御されることを特徴とする電圧制御発振回路。

【請求項 3】 前記エミッタ層と前記ベース層間の接合面積を、前記エミッタ層と前記コレクタ層間の接合面積よりも大きくしたことを特徴とする請求項 1 記載の電圧制御発振回路。

【請求項 4】 前記エミッタ層に、容量を制御するための電圧を印加するバイアス回路をさらに備えたことを特徴とする請求項 1 または請求項 2 記載の電圧制御発振回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は電圧制御発振回路に関し、特に、バイポーラトランジスタ構造を有する可変容量素子を備えた電圧制御発振回路に関する。

【 0 0 0 2 】

【従来の技術】

電圧制御発振回路は印加する電圧に応じて出力周波数を可変可能な発振回路である。従来の電圧制御回路の一例として、能動素子としてのトランジスタと、そのトランジスタのベースエミッタ間に接続される共振回路とを含み、共振回路に発振周波数を可変とするための可変容量素子を含むものがある。

【0003】

可変容量素子は例えばバイポーラトランジスタ内のPN接合を利用して実現される。すなわち、バイポーラトランジスタのベースーコレクタ間のPN接合に電圧を印加することにより得られる容量変化を利用して実現できる。なお、特許文献1には、バイポーラトランジスタ内のPN接合の容量成分を利用した電力増幅回路について開示がある。

【0004】

そのようなバイポーラトランジスタを用いて可変容量素子を実現した電圧制御発振回路において発振周波数を高く設計する場合、バイポーラトランジスタの最大発振周波数を高くするためにコレクタ層を薄くしなければならない。コレクタ層を薄くした場合に十分な容量を得るためには、ベースーコレクタ間のPN接合を用いた可変容量素子に順方向のバイアスを印加しなければならない。

【0005】

【特許文献1】

特開2002-223127号公報（第5、9、10頁、図6、図9等参照）

【0006】

【発明が解決しようとする課題】

しかし、ベースーコレクタ間のPN接合に順方向のバイアスを印加した場合、比較的大きな電流が流れるため、消費電流が大きくなり、また、可変容量素子に電流が流れることにより雑音が発生し、電圧制御発振回路の雑音特性を劣化させるという問題があった。

【0007】

本発明は上記課題を解決すべくなされたものであり、その目的とするところは、低消費電流で動作し、雑音の発生を抑制する電圧制御発振回路を提供すること

にある。

【 0 0 0 8 】

【課題を解決するための手段】

本発明に係る電圧制御発振回路は可変容量素子を備え、可変容量素子の容量変化に応じて変化する可変周波数を出力する。可変容量素子はバイポーラトランジスタのエミッタ層とベース層間のPN接合により形成される容量成分と、ベース層とコレクタ層間のPN接合により形成される容量成分とにより実現される。可変容量素子の容量は、バイポーラトランジスタのエミッタ層とコレクタ層間に印加する電圧により制御される。

【 0 0 0 9 】

【発明の実施の形態】

以下添付の図面を参照して、本発明に係る電圧制御発振回路の実施の形態を詳細に説明する。

【 0 0 1 0 】

実施の形態 1.

図 1 に、本発明に係る電圧制御発振回路の構成を示す。電圧制御発振回路 5 0 は、インダクタ 1 1、1 7、1 8、コンデンサ 1 3、制御電源 1 2、バイポーラトランジスタ 1 6、及び可変容量素子 3 0 を備えている。電圧制御発振回路 5 0 はまた出力端子 1 9 を有している。

【 0 0 1 1 】

インダクタ 1 7、可変容量素子 3 0 は LC 共振回路を形成する。コンデンサ 1 3 は、制御電源 1 2 の直流成分をバイポーラトランジスタ 1 6 から分離するためのものである。また、インダクタ 1 8 は帰還用インダクタである。インダクタ 1 1 は交流成分を制御電源 1 2 から分離するためのものである。制御電源 1 2 は可変容量素子 3 0 の容量を変化させるために可変容量素子 3 0 に電圧を印加するためのバイアス回路である。

【 0 0 1 2 】

電圧制御発振回路 5 0 の発振周波数は主としてインダクタ 1 7 と可変容量素子 3 0 から構成される LC 共振回路の共振周波数により決まる。この共振周波数は

可変容量素子 30 の容量変化にしたがい変化する。すなわち、電圧制御発振回路 50 の出力周波数は可変容量素子 30 の容量を制御することにより変化させることができる。

【 0 0 1 3 】

可変容量素子 30 は逆接続された 2 つのダイオード a、b を含み、それらのダイオード a、b はバイポーラトランジスタ内の PN 接合により実現される。

【 0 0 1 4 】

図 2 (a) に可変容量素子 30 を実現するバイポーラトランジスタの構成を示す。図 2 (b) はバイポーラトランジスタ 20 を上から見た図である。なお、図 2 (a) は図 2 (b) において A - A' 線で分割したときの断面図である。

【 0 0 1 5 】

図 2 (a) に示すバイポーラトランジスタ 20 は、半絶縁性基板 5 上に、 N^+ 型コレクタコンタクト層 6、N 型コレクタ層 7、P 型ベース層 8、N 型エミッタ層 9、 N^+ 型エミッタコンタクト層 10 が順に形成されている。

【 0 0 1 6 】

N^+ 型コレクタコンタクト層 6 上にはコレクタ電極 2 が形成され、 N^+ 型エミッタコンタクト層 10 上にはエミッタ電極 1 が形成されている。コレクタ電極 2 にはコレクタ配線 4 が、エミッタ電極 1 にはエミッタ配線 3 がそれぞれ接続されている。

【 0 0 1 7 】

可変容量素子 30 は、バイポーラトランジスタ 20 のベース層 8 とコレクタ層 7 との間の PN 接合により形成されるダイオード a と、バイポーラトランジスタ 20 のベース層 8 とエミッタ層 9 との間の PN 接合により形成されるダイオード b とを利用して実現されている。すなわち、可変容量素子 30 の容量はダイオード a の容量成分とダイオード b の容量成分を合成した値となる。

【 0 0 1 8 】

図 4 はバイポーラトランジスタ 20 のコレクターエミッタ間（すなわち可変容量素子）の印加電圧に対する、コレクターエミッタ間の容量変化（曲線 C）及びコレクターエミッタ間を流れる電流変化（曲線 I）を示した図である。同図に示

すように、コレクターエミッタ間すなわち可変容量素子 30 に電圧を印加しても、微小な電流しか流れない。一方、可変容量素子 30 の容量はエミッタ配線 3 とコレクタ配線 4 の間に印加した電圧値に応じて変化している（曲線 C 参照）。以下にこれを詳細に説明する。

【0019】

可変容量素子 30 すなわちダイオード a、b に制御電源 12 により電圧が印加されると、エミッタ層 9 とベース層 8 間の PN 接合と、ベース層 8 とコレクタ層 7 間の PN 接合とは互いに逆向きに接続されるため、エミッタ配線 3 とコレクタ配線 4 の間に電圧を印加しても、一方の PN 接合が逆バイアスされることから、微小な電流しか流れない。また、逆バイアスされる方の PN 接合にて生成された正孔がベース層 8 に蓄積され、ベース層 8 に正電圧が印加されたことと等価となり、ベース層 8 とエミッタ層 9 の間に形成される空乏層の幅及びベース層 8 とコレクタ層 7 の間に形成される空乏層の幅のそれぞれが変調される。その結果として、エミッタ配線 3 とコレクタ配線 4 の間の容量（すなわち可変容量素子 30 の容量）が変化する。

【0020】

このように、本実施形態の可変容量素子は、バイポーラトランジスタのエミッタとコレクタ間に現れる容量が、エミッタとコレクタ間に印加する電圧を制御することにより可変となる。

【0021】

以上のように、可変容量素子 30 の容量（すなわち、エミッタ配線 3 とコレクタ配線 4 の間に現れる容量）は、制御電源 12 によりエミッタ配線 3 とコレクタ配線 4 間に印加される電圧により制御できる。図 3 に、本実施形態の可変容量素子 30 を用いた電圧制御発振回路の位相雑音特性（A）と、ベース・コレクタ間の PN 接合に電圧を印加することにより得られる容量変化を利用した可変容量素子を用いた従来の電圧制御発振回路の位相雑音特性（B）とを示す。同図より、本実施形態の電圧制御発振回路 50 は、従来の電圧制御発振回路に比して位相雑音特性が改善されているのが分かる。これは、本実施形態の電圧制御発振回路 50 では可変容量素子 30 にほとんど電流が流れないからである。

【 0 0 2 2 】

以上のように、本実施形態では、バイポーラトランジスタ構造を用いて消費電流を低減した可変容量素子を実現できる。このような可変容量素子を発振回路の能動素子であるバイポーラトランジスタが形成された半導体基板と同一基板上に形成することにより、消費電力を低減し、かつ低雑音の電圧制御発振回路を実現することができる。

【 0 0 2 3 】

実施の形態 2.

本実施形態では、電圧制御発振回路の可変容量素子は、バイポーラトランジスタのベースとコレクタ間に現れる容量を、エミッタとコレクタ間に印加する電圧を制御することにより変化させる。

【 0 0 2 4 】

図 5 に本実施形態の電圧制御発振回路の構成を示す。本実施形態では可変容量素子 3 1 は 2 つのダイオード x、y で構成される。

【 0 0 2 5 】

図 6 (a) は、可変容量素子 3 1 を実現するバイポーラトランジスタ 2 1 の断面図である。図 6 (b) はバイポーラトランジスタ 2 1 を上から見た図である。なお、図 6 (a) は図 6 (b) において B - B' 線で分割したときの断面図である。

【 0 0 2 6 】

図 6 (a) に示すように、バイポーラトランジスタ 2 1 の構成は、実施の形態 1 のバイポーラトランジスタ 2 0 の構成と基本的に同じであるが、バイポーラ 2 1 の P 型ベース層 8 上にベース電極 1 4 が設けられている点が実施の形態 1 のものと異なる。ベース電極 1 4 にはベース配線 1 5 が接続されている。

【 0 0 2 7 】

図 5 に示すように、コレクタ配線 4 が接地され、エミッタ配線 3 がインダクタ 1 1 を介して制御電源 1 2 と接続される。

【 0 0 2 8 】

本実施形態では、LC 共振回路は、インダクタ 1 7 と可変容量素子 3 1 のダイ

オード x の容量成分により形成される。すなわち、可変容量素子 3 1 のダイオード x の容量成分が主として可変容量素子 3 1 全体の容量変化に寄与する。ダイオード x はバイポーラトランジスタ 2 1 のベース-コレクタ間の P N 接合により形成される。

【 0 0 2 9 】

図 7 はバイポーラトランジスタ 2 1 のコレクター-エミッタ間の印加電圧に対する、コレクター-ベース間の容量変化（曲線 C）及びコレクター-エミッタ間の電流変化（曲線 I）を示した図である。同図に示すように、制御電源 1 2 により可変容量素子 3 1 に電圧を印加した場合、エミッタ配線 3 とコレクタ配線 4 の間に流れる電流は微小である（曲線 I 参照）。一方、コレクタ配線 4 とベース配線 1 5 間の容量は、コレクター-エミッタ間の印加電圧に応じて変化する（曲線 C 参照）。以下、これを説明する。

【 0 0 3 0 】

実施の形態 1 で説明したのと同様、可変容量素子 3 1 を構成する一方のダイオード y を形成する P N 接合が逆バイアスされることから、微小な電流しか流れない。また、逆バイアスされる方のダイオード y の P N 接合にて生成された正孔がベース層 8 に蓄積され、ベース層 8 に正電圧が印加されたことと等価となり、ベース層 8 とコレクタ層 7 の間に形成される空乏層の幅が変調される。その結果として、ベース配線 1 5 とコレクタ配線 4 の間の容量（すなわち可変容量素子 3 1 の容量）が変化する。

【 0 0 3 1 】

以上のように本実施形態によっても実施の形態 1 と同様、バイポーラトランジスタ構造を用いて消費電流を低減した可変容量素子を実現でき、このような可変容量素子を発振回路の能動素子であるバイポーラトランジスタが形成された半導体基板と同一基板上に形成することにより、消費電力を低減し、かつ低雑音の電圧制御発振回路を実現することができる。

【 0 0 3 2 】

実施の形態 3 .

図 8（a）に可変容量素子を構成するバイポーラトランジスタの別の構成を示

す。図 8 (b) はバイポーラトランジスタ 2 2 を上から見た図である。なお、図 8 (a) は図 8 (b) において C - C' 線で分割したときの断面図である。本実施形態では、実施の形態 1 の可変容量素子のエミッターコネクタ間の容量の可変範囲をより増大させるため、エミッターベース間の PN 接合の接合面積 (S_2) を、ベースコネクタ間の PN 接合の接合面積 (S_1) よりも大きくしている。

【 0 0 3 3 】

バイポーラトランジスタ 2 2 のコレクタ層 7 にはイオン注入により絶縁化された領域 1 6 が形成されている。コレクタ層 7 は他の層に比べ通常 1 桁から 2 桁程度、不純物濃度が低いため、イオン注入を行なうことで絶縁化が可能である。そこで、コレクタ層 7 の一部の領域 1 6 をイオン注入により絶縁化することにより、相対的にベースコネクタ間の PN 接合の接合面積 (S_1) を減少させている。

【 0 0 3 4 】

ベースコネクタ間の PN 接合の接合面積 (S_1) を減少させることにより、ベースコネクタ間の PN 接合の容量が小さくなり、相対的にエミッターベース間の PN 接合の容量が大きくなり、その結果、エミッターコネクタ間に現れる容量の変化量が大きくなる。すなわち、実施の形態 1 で示した電圧制御発振回路の可変容量素子よりも容量変化量の大きい可変容量素子を実現でき、周波数帯域がより広い電圧制御発振回路を実現できる。

【 0 0 3 5 】

以上説明した実施形態では、可変容量素子をバイポーラトランジスタのベース端子に接続した直列帰還型発振回路の構成を示したが、可変容量素子はバイポーラトランジスタ 1 6 のコレクタ端子またはエミッタ端子に直列接続してもよい。また、可変容量素子を並列帰還型発振回路に適用してもよい。このとき、可変容量素子はバイポーラトランジスタのコレクタ端子、ベース端子及びエミッタ端子のうちの 2 つの端子間に接続する。また、交流成分を制御電源から分離するためにインダクタの代わりに抵抗を用いることもできる。

【 0 0 3 6 】

【発明の効果】

本発明によれば、バイポーラトランジスタ構造を用いて消費電流が非常に小さい可変容量素子を実現できる。故に、バイポーラトランジスタを能動素子として用いた発振回路において、その能動素子が形成された半導体基板と同一基板上に可変容量素子を形成することにより、低消費電力、低雑音の電圧制御発振回路を実現できる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 における電圧制御発振回路の構成図

【図 2】 (a) 実施の形態 1 における電圧制御発振回路の可変容量素子を構成するバイポーラトランジスタの断面図、及び (b) そのバイポーラトランジスタの上面図

【図 3】 電圧制御発振回路の位相雑音特性を示す図

【図 4】 実施の形態 1 における可変容量素子を構成するバイポーラトランジスタのコレクターエミッタ間電圧に対する、コレクターエミッタ間容量とコレクターエミッタ間電流の変化を示した図

【図 5】 本発明の実施の形態 2 における電圧制御発振回路の構成図

【図 6】 (a) 実施の形態 2 における電圧制御発振回路の可変容量素子を構成するバイポーラトランジスタの断面図、及び (b) そのバイポーラトランジスタの上面図

【図 7】 実施の形態 2 における可変容量素子を構成するバイポーラトランジスタのコレクターエミッタ間電圧に対する、コレクターベース間容量とコレクターエミッタ間電流の変化を示した図

【図 8】 (a) 実施の形態 3 における電圧制御発振回路の可変容量素子を構成するバイポーラトランジスタの断面図、及び (b) そのバイポーラトランジスタの上面図

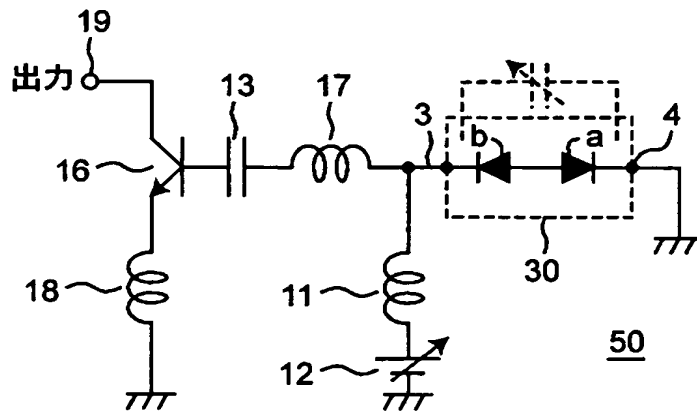
【符号の説明】

3 エミッタ配線、 4 コレクタ配線、 7 コレクタ層、 8 ベース層、 9 エミッタ層、 11, 17, 18 インダクタ、 12 制御電源、 15 コレクタ配線、 16 バイポーラトランジスタ（能動素子）、 20, 21, 22 可変容量素子を構成するバイポーラトランジスタ、 30, 31

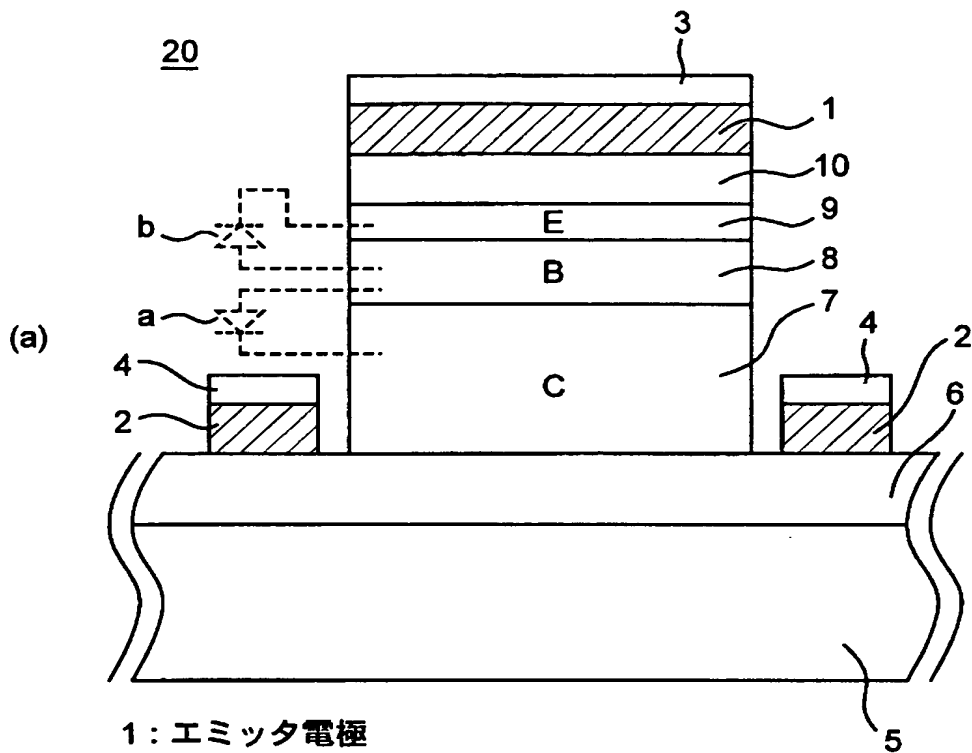
可変容量素子、 5 0, 5 1 電圧制御発振回路、 a, b, x, y 可変容量
素子を形成するダイオード

【書類名】 図面

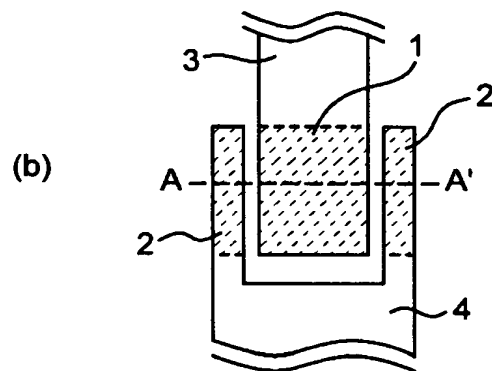
【図 1】



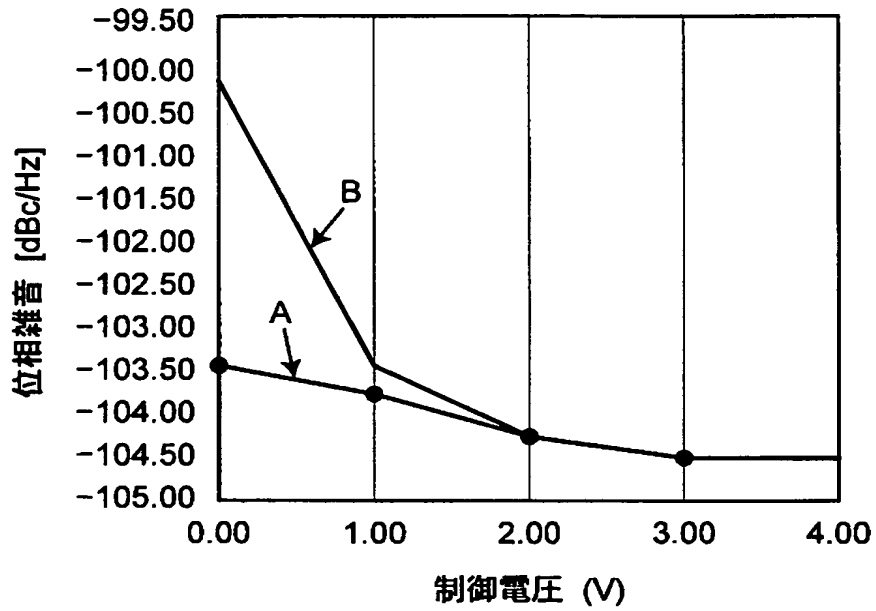
【図 2】



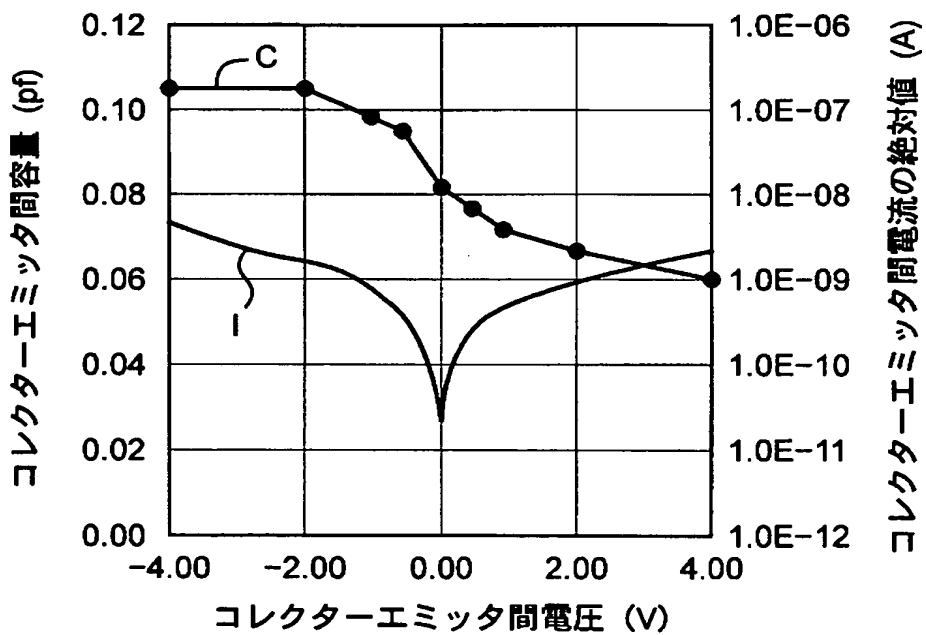
- 1: エミッタ電極
 2: コレクタ電極
 7: コレクタ層 (N型)
 8: ベース層 (P型)
 9: エミッタ層 (N型)
 20: バイポーラトランジスタ
 30: 可変容量素子
 50: 電圧制御発振回路



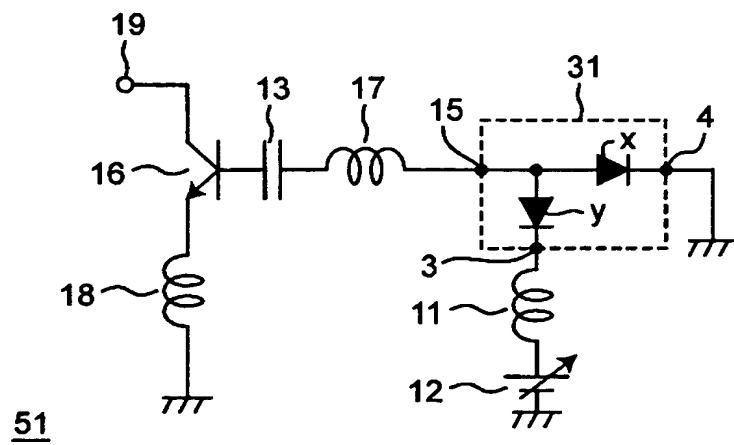
【図 3】



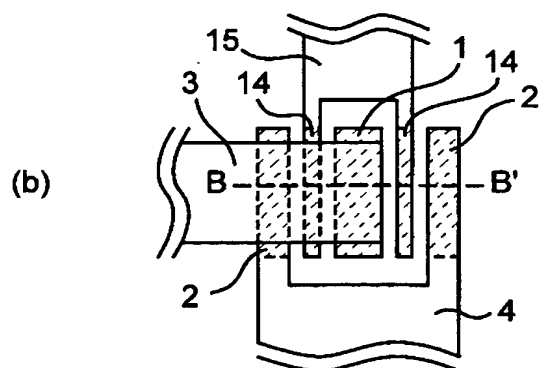
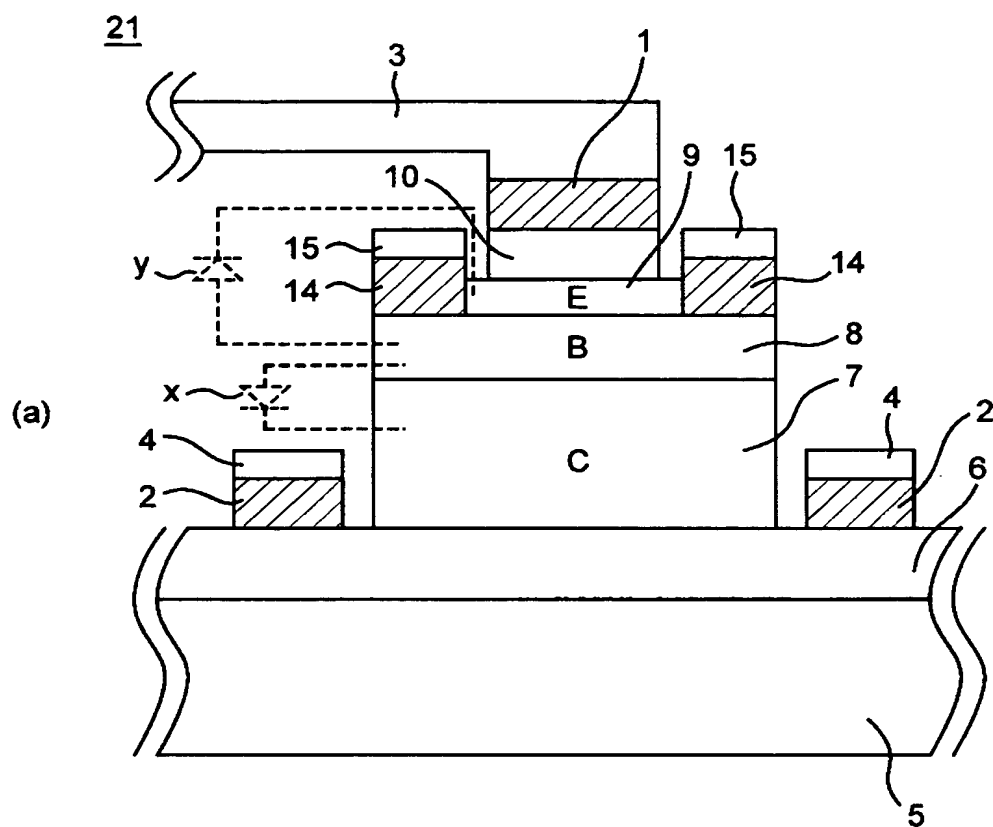
【図 4】



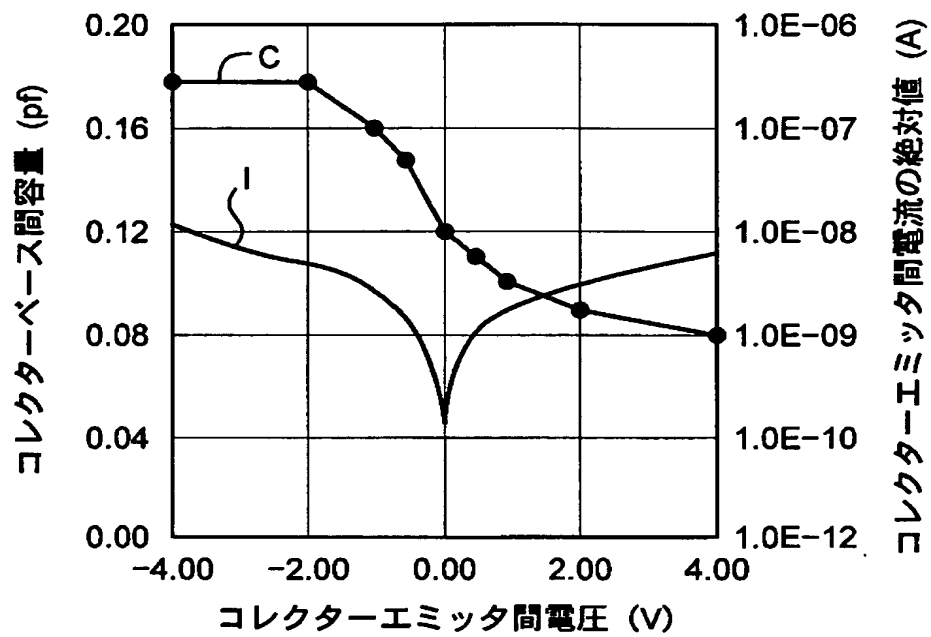
【図 5】



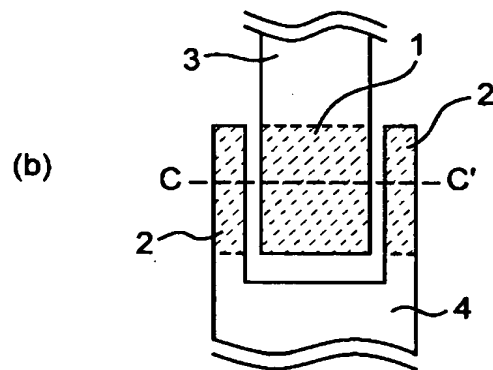
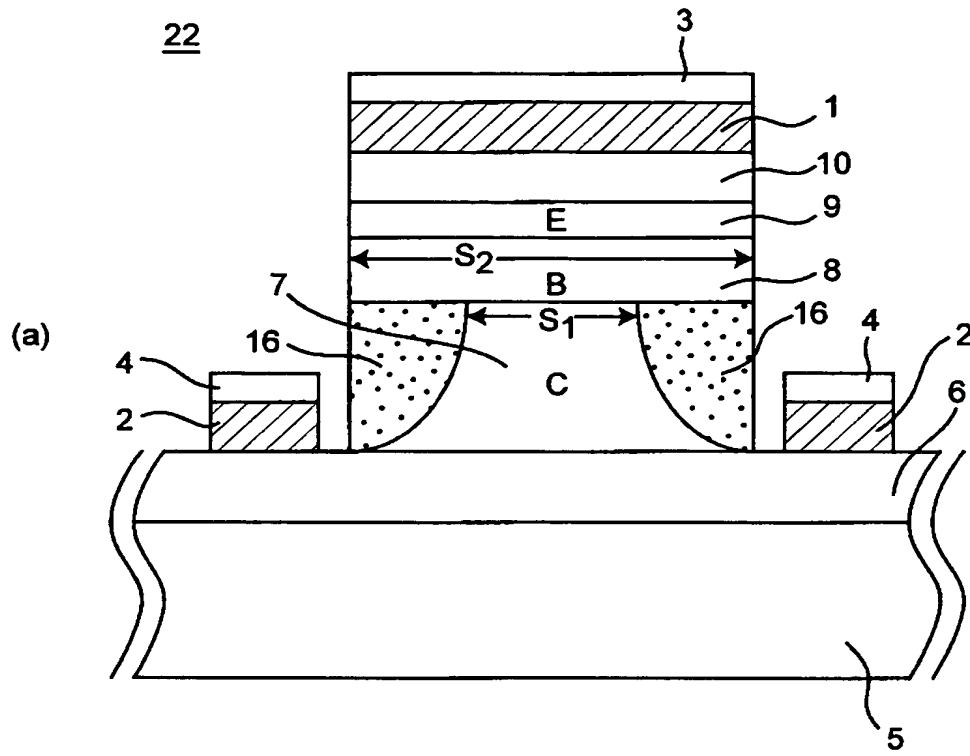
【图 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 低消費電流で動作し、雑音の発生を抑制する電圧制御発振回路を提供する。

【解決手段】 可変周波数を出力する電圧制御発振回路 5 0 は出力周波数を制御する可変容量素子 3 0 を有する。可変容量素子 3 0 はバイポーラトランジスタにおけるエミッタ層とベース層間の P N 接合により形成されるダイオード b の容量成分と、ベース層とコレクタ層間の P N 接合により形成されるダイオード a の容量成分とにより実現される。可変容量素子 3 0 の容量はバイポーラトランジスタのエミッタ層 3 とコレクタ層 4 間に印加する電圧により制御される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社